



REC'D 27 AUG 2003

WIPO

PCT

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

Aktenzeichen:

102 29 493.3

Anmeldetag:

1. Juli 2002

Anmelder/Inhaber:

Infineon Technologies AG, München/DE

Bezeichnung:

Integrierte Halbleiterstruktur

IPC:

H 01 L 23/50

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der
ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 21. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Ebert



Zusammenfassung

Integrierte Halbleiterstruktur

- 5 Die Erfindung betrifft eine integrierte Halbleiterstruktur mit einem Substrat (1), mindestens einem auf dem Substrat (1) liegenden Halbleiterelement (2), einem Padmetall (3) mit einer Fläche (F), einer Vielzahl von Metallschichten (4.x), die zwischen dem Padmetall (3) und dem Substrat (1) liegen und
- 10 einer Vielzahl von Isolationsschichten (5.y), die die Metallschichten (4.x) voneinander trennen, wobei das Padmetall (3) sich zumindest über einen Teil des mindestens einen Halbleiterelementes (2) erstreckt.
- 15 Die Erfindung zeichnet sich dadurch aus, dass, unterhalb der Fläche (F) des Padmetalls (3), zumindest die obersten beiden Metallschichten (4.x, 4.x-1) eine Struktur aufweisen, die jeweils mindestens zwei nebeneinanderliegende Leiterbahnen (4.x.z, 4.x-1.z) enthalten.

20

Fig. 1

Fig. 1

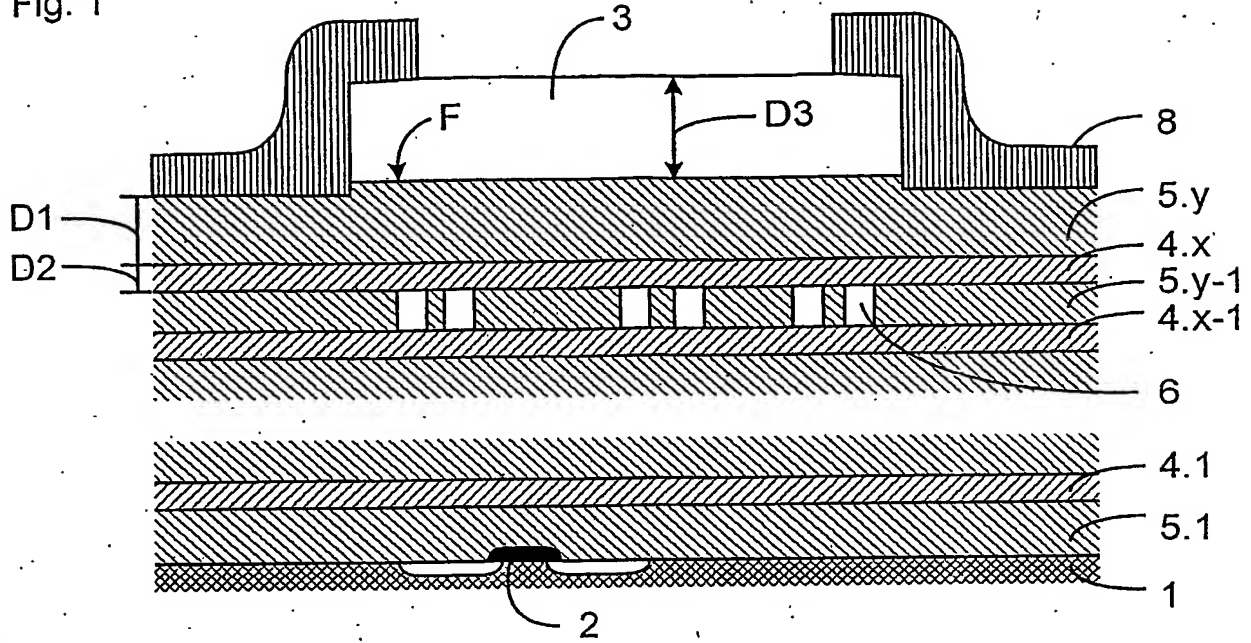
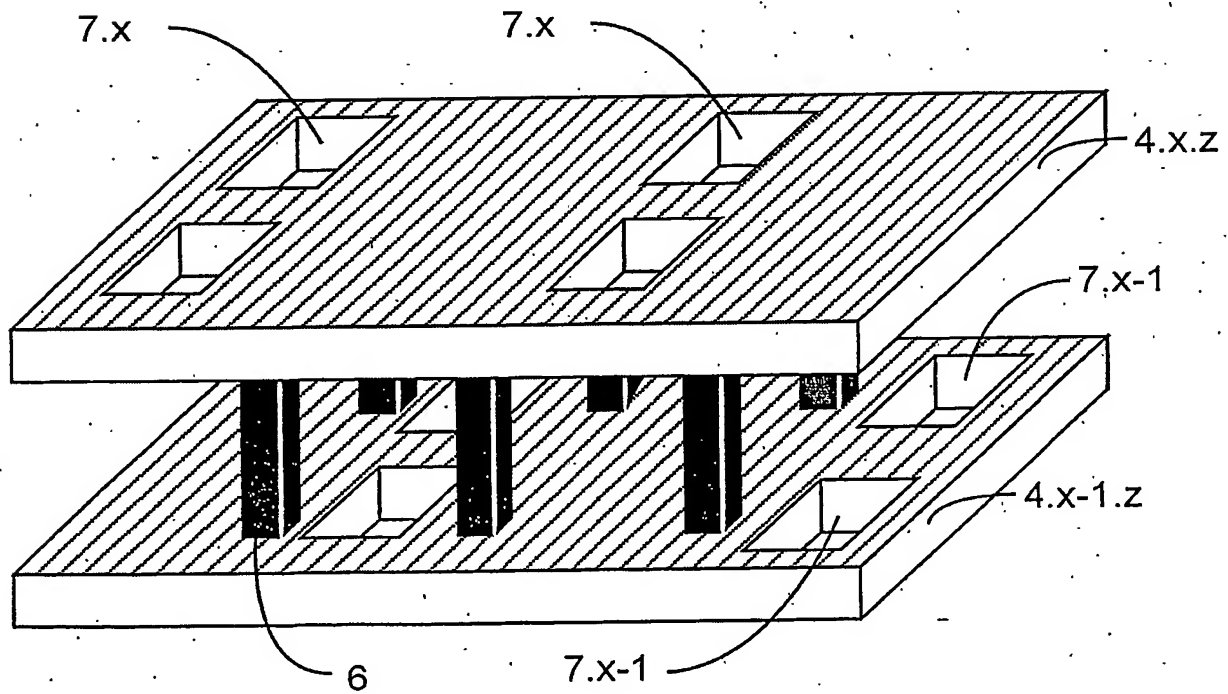


Fig. 2



Beschreibung

Integrierte Halbleiterstruktur

5 Die Erfindung betrifft eine integrierte Halbleiterstruktur mit einem Substrat, mindestens einem auf dem Substrat liegenden Halbleiterelement, einem Padmetall mit einer Fläche, einer Vielzahl von Metallschichten, die zwischen dem Padmetall und dem Substrat liegen und einer Vielzahl von Isolations-
10 schichten, die die Metallschichten voneinander trennen; wobei das Padmetall sich zumindest über einen Teil des mindestens einen Halbleiterelementes erstreckt.

15 Eine solche Halbleiterstruktur ist beispielsweise aus der US 6,207,547 bekannt.

Ein wichtiger Aspekt bei der Herstellung von integrierten Halbleiterstrukturen ist die elektrische Kontaktierung (Bonden) der Halbleiterelemente, die sich innerhalb der Halbleiterstruktur befinden. Hierbei wird über Kontaktinseln der elektrische Kontakt zwischen Gehäusekontakten (PINs) und den Halbleiterelementen hergestellt. Die Kontaktinseln sind metallische Bereiche (Padmetall), die mit den Halbleiterelementen und Metallschichten elektrisch verbunden sein können.

25 Aufgrund der aktuell verwendeten Bonding-Prozesse haben die Padmetalle eine relativ große Ausdehnung in der Halbleiterstruktur im Vergleich zu den Dimensionen der darunter liegenden Halbleiterelemente. Das Padmetall bedeckt also einen bedeutenden Bereich der Oberfläche eines Chips, sodass der Bereich, der unterhalb des Padmetalls liegt, einen deutlichen
30 Anteil am Chipvolumen ausmacht.

Beim Bonden der Halbleiterstruktur wird eine große mechanische Belastung auf das Padmetall ausgeübt. Diese Belastung
35 bringt die Gefahr mit sich, dass Strukturen, die unter dem Padmetall angeordnet sind, beschädigt werden. So kann die oberste Isolationsschicht, die direkt unterhalb des Padmetalls

verläuft, Risse erhalten, die, aufgrund einer Verletzung der Passivierung der Halbleiterstruktur, zu Leckströmen führen. Zum anderen müssen Halbleiterelemente, beispielsweise aktive Strukturen wie MOS-Transistoren, die ein relativ dünnes Gate-Oxid aufweisen, aus Zuverlässigkeitsgründen unbedingt vor zu starken Druck geschützt werden. Daher wurden früher keine Halbleiterelemente unterhalb des Padmetalls platziert, um Verletzungen zu vermeiden. Dies hat zur Folge, dass ein außerordentlich großer Flächenverlust des Chips in Kauf genommen wird.

Die EP 1 017 098 A2 schlägt eine Kombination aus einer stressabsorbierenden Metallschicht und einer mechanisch gestärkten elektrischen Isolationsschicht, sowie eine ausreichende Dicke dieser beiden Schichten vor, sodass zumindest ein Teil des Halbleiterelementes sich direkt unterhalb des Padmetalls erstrecken darf. Hierdurch wird jedoch nur eine geringfügige Reduktion des Flächenbedarfs auf der Chipoberfläche erreicht.

Aus der eingangs erwähnten US 6,207,547 ist es bekannt, eine strukturierte Zwischenschicht zwischen Padmetall und oberster Metallebene, zur Stabilisation und zum Schutz der darunterliegenden aktiven Schaltungen, einzuführen. Hierdurch wird erreicht, dass Strukturen mit Gateoxid, beispielsweise MOS-Transistoren, direkt unterhalb des Padmetalls platziert werden können. Die Herstellung solch einer strukturierten Zwischenschicht verlangt jedoch einen extra angepassten und komplizierten Herstellungsprozess.

Aufgabe der vorliegenden Erfindung ist es daher, eine Halbleiterstruktur vorzustellen, die einen vereinfachten Herstellungsprozess ermöglicht, wobei es keine Einschränkung in der Verwendung von Halbleiterelementen, die unter dem Padmetall liegen dürfen, gibt.

Erfindungsgemäß wird die Aufgabe durch eine integrierte Halbleiterstruktur der eingangs genannten Art gelöst, bei der, unterhalb der Fläche des Padmetalls, zumindest die obersten beiden Metallschichten eine Struktur aufweisen, die jeweils
5 mindestens zwei nebeneinanderliegende Leiterbahnen enthalten.

Der Erfindung liegt die Erkenntnis zugrunde, dass durch eine geschickte Anordnung (Layout) der obersten beiden Metallebenen, die direkt unterhalb des Padmetalls liegen, eine
10 Dämpfungs- und Stabilisierungsstruktur ausgebildet werden kann, ohne dass der Herstellungsprozess der integrierten Halbleiterstruktur geändert werden muss. Weiterhin haben die Erfinder erkannt, dass, durch die erhöhte Stabilität dieser Halbleiterstruktur, jede Art von Halbleiterelement unterhalb
15 der Fläche des Padmetalls angeordnet werden kann.

Im Unterschied zu bislang bekannten Ausbildungen sind die Leiterbahnen nach der vorliegenden Erfindung elektrisch nutzbar und dienen nicht nur der Stabilitätserhöhung. So haben
20 die unter dem Padmetall verlaufenden Leiterbahnen einen Anschluss zu einem oder unterschiedlichen Potentialen auf der Halbleiterstruktur. Typischerweise werden die Leiterbahnen der obersten Metallschicht als Versorgungsleitungen für darunter liegende Halbleiterelemente (z. B. Transistoren) verwendet.
25

Je nach Technologie können die Anzahl der Metallschichten zwischen 3 und 11 liegen, beispielsweise werden derzeit bei der 0,13 μm CMOS-Technologie zwischen 4 und 8 Metallschichten
30 verwendet.

Eine Ausgestaltung der erfindungsgemäßen integrierten Halbleiterstruktur sieht vor, dass die Anzahl der Leiterbahnen, innerhalb einer Metallschicht, zumindest unterhalb der Fläche
35 des Padmetalls, je nach Größe und Ausdehnung dieses Padmetalls, zwischen 2 und 6 liegen.

Erfindungsgemäß können innerhalb einer Metallschicht die Leiterbahnen elektrisch voneinander isoliert sein.

5 In einer Weiterentwicklung sind die Leiterbahnen innerhalb einer Metallschicht elektrisch miteinander verbunden. Darüber hinaus können innerhalb einer Metallschicht, bei Vorliegen von mehr als zwei Leiterbahnen unterhalb der Fläche des Padmetalls, einzelne Leiterbahnen elektrisch von den anderen Leiterbahnen isoliert sein, wobei die restlichen Leiterbahnen
10 miteinander elektrisch verbunden sind.

Auch ist vorstellbar, dass, zumindest in kleinen Bereichen unterhalb der Fläche des Padmetalls, Strukturen eingebaut werden, sogenannte Dummystrukturen, die lediglich Stabilisierungsfunktionen haben, aber keine elektrische Anbindung an
15 ein Potential besitzen. Allerdings führt diese Ausbildung zu einem Verlust an elektrisch nutzbarer Fläche.

Eine weitere vorteilhafte Ausgestaltung, die die mechanische Belastung von den, unter den Padmetall liegenden Strukturen abschirmt, sieht vor, dass die Leiterbahnen hinreichend breit ausgeführt sind, sowie entspannte Abstände zueinander haben. Erfindungsgemäß liegt das Verhältnis zwischen der Breite der Leiterbahnen und ihrem Abstand zueinander zwischen 3 und 20,
25 vorzugsweise ist das Verhältnis 10. Zumindest die obersten beiden Metallschichten sind also als breite Leiterbahnen ausgeführt, um zwar einen Dämpfungseffekt zu erzielen, aber keine unnötige Prozessführung erforderlich zu machen.

30 In einer besonders vorteilhaften Weiterentwicklung der erfindungsgemäßen integrierten Halbleiterstruktur sind, zumindest unterhalb der Fläche des Padmetalls, eine Vielzahl von Vias vorgesehen, die die Leiterbahnen der obersten Metallschicht mit den Leiterbahnen der darunterliegenden Metallschicht elektrisch verbinden, wobei die Vias die Isolationsschicht
35 zwischen den obersten beiden Metallschichten vertikal durchdringen. Dies gewährleistet zum einen, dass das Halbleiter-

element auch bei einem eventuell auftretenden Kurzschluss zwischen diesen Metallschichten, wie es durch mechanischen Druck hervorgerufen werden kann, noch funktioniert. Auf der anderen Seite stabilisieren die Vias die integrierte Halbleiterstruktur zusätzlich.

Eine optimierte Stabilisierung und Dämpfung kann über eine geeignete Ausbildung der Vias erreicht werden. Bevorzugt wird unterhalb der Fläche des Padmetalls eine größere Anzahl von Vias zwischen den obersten beiden Metallschichten verteilt, wobei die Vias eine zueinander serielle Anordnung oder eine zueinander versetzte Anordnung aufweisen. Hierdurch wird auftretender Druck auf eine möglichst große Fläche verteilt.

Eine andere vorteilhafte Weiterentwicklung der erfindungsgemäßen integrierten Halbleiterstruktur sieht vor, dass, zumindest unterhalb der Fläche des Padmetalls, die Leiterbahnen der obersten beiden Metallschichten eine Vielzahl von Durchbrüchen aufweisen. Diese Durchbrüche können mit dem selben Material, aus dem die Isolationsschichten bestehen, gefüllt sein, wie beispielsweise Siliziumdioxid oder Siliziumnitrid. Auch hierdurch wird eine zusätzliche Stabilisierung der Halbleiterstruktur erreicht.

In einer anderen Weiterentwicklung der erfindungsgemäßen integrierten Halbleiterstruktur weisen die Durchbrüche, zumindest unterhalb der Fläche des Padmetalls, eine Gesamtfläche zwischen 5% und 30% der Gesamtfläche der Leiterbahnen auf. Vorzugsweise enthalten die Leiterbahnen 20% an Durchbrüchen.

Erfindungsgemäß wird eine Erhöhung der Stabilität der integrierten Halbleiterstruktur gegenüber auftretenden Drücken auch dadurch erreicht, dass die Leiterbahnen der obersten beiden Metallschichten derart zueinander angeordnet sind, dass die Durchbrüche der obersten Leiterbahnen versetzt zu den Durchbrüchen der darunterliegenden Leiterbahnen liegen.

Diese versetzte Anordnung gewährleistet ein hohes Maß an Dämpfung.

5 In einer anderen Ausbildung der erfindungsgemäßen integrierten Halbleiterstruktur liegen die Leiterbahnen der obersten Metallschicht ungefähr deckungsgleich über den Leiterbahnen der darunterliegenden Metallschicht.

10 Vorzugsweise liegen die Leiterbahnen der obersten Metallschicht versetzt zu den Leiterbahnen der darunter liegenden Metallschicht. Hierdurch wird eine sehr effektive Dämpfungsstruktur ausgebildet. Der seitliche Versatz der Leiterbahnen zueinander kann dabei maximal sein, wobei also zwei nebeneinanderliegende Leiterbahnen einer Metallschicht von der bei-

15 spielsweise darüber liegenden Leiterbahn teilweise bedeckt werden.

Eine weitere vorteilhafte Ausgestaltung der integrierten Halbleiterstruktur sieht vor, dass die Metallschichten, zu-

20 mindest großteils, aus einem hinreichend harten Metall bestehen. Hierdurch kann vermieden werden, dass sich bei mechanischer Belastung die Dicke der Metallschichten verringert oder die Isolationsschicht, die über der Metallschicht liegt, bis zur darunter liegenden Isolationsschicht durchgedrückt wird.

25

Typischerweise stellt das Metall Kupfer, Aluminium, Wolfram, Molybdän, Silber, Gold, Platin oder Legierungen hiervon dar.

30 In einer anderen Weiterbildung überdeckt die Fläche des Padmetalls einen Bereich, der, innerhalb einer Metallschicht, zumindest aus 50% Metall besteht. Hierzu zählen vorzugsweise die metallischen Bereiche der Leiterbahnen (ohne Durchbrüche), aber auch zusätzlich eingefügte metallische Dummystrukturen.

35

Für eine besonders stabile Ausgestaltung der integrierten Halbleiterstruktur ist das Metall gleichmäßig unterhalb der

Fläche des Padmetalls verteilt. Vorzugsweise sind also die aus Metall bestehenden Leiterbahnen, sowie die Durchbrüche innerhalb der Leiterbahnen und die elektrische Verbindung zwischen nebeneinander liegenden Leiterbahnen gleichmäßig unter der Fläche des Padmetalls verteilt.

Vorzugsweise ist zwischen dem Padmetall und der obersten Metallschicht eine oberste Isolationsschicht vorgesehen, wobei die oberste Isolationsschicht eine erste Dicke $D1$ und die oberste Metallschicht eine zweite Dicke $D2$ aufweist, und das Verhältnis zwischen den beiden Dicken $D1$ und $D2$ zwischen 1 und 5 liegt. Hierdurch wird eine Verminderung der Gefahr von Rissen in der obersten Isolationsschicht und somit ein erhöhter Schutz der darunter liegenden Halbleiterelemente erreicht.

Eine andere Weiterentwicklung der erfindungsgemäßen integrierten Halbleiterstruktur sieht vor, dass die oberste Isolationsschicht eine Dicke $D1$ und das Padmetall eine Dicke $D3$ aufweist, und das Verhältnis zwischen den beiden Dicken $D1$ und $D3$ zwischen 0,5 und 3 liegt.

Die Erfindung wird nachstehend anhand der Figuren näher beschrieben. Es zeigen:

25

Fig. 1 einen Querschnitt durch ein Ausführungsbeispiel einer erfindungsgemäßen integrierten Halbleiterstruktur,

30

Fig. 2 einen Ausschnitt der Leiterbahnen der obersten beiden Metallschichten aus der Figur 1, in perspektivischer Darstellung

35

Fig. 3 eine Draufsicht einer erfindungsgemäßen integrierten Halbleiterstruktur mit einem Padmetall und Leiterbahnen.

Die Halbleiterstruktur enthält ein Padmetall 3 mit einer Fläche F und einer Dicke D3, beispielsweise eine dicke Schicht aus Aluminium, eine Passivierung 8, ein Substrat 1, ein auf dem Substrat liegendes Halbleiterelement 2, beispielsweise ein Transistor 2, wobei der Transistor 2 unterhalb der Fläche F des Padmetalls 3 angeordnet ist, eine Vielzahl von Metallschichten 4.x, sowie eine Vielzahl von Isolationsschichten 5.y, die die Metallschichten 4.x voneinander trennen. Zur besseren Übersichtlichkeit zeigt die Figur 1 in einer schematischen Darstellung lediglich die erste und die obersten beiden Metallschichten 4.1, 4.x-1 und 4.x, wobei je nach verwendeter Technologie derzeit bis zu 11 Metallschichten 4.x übereinander angeordnet sein können.

Zur Abschirmung des mechanischen Druckes, der sich beim Bonden oder beim Testen der integrierten Halbleiterstruktur entwickelt, sind sowohl das Padmetall 3 als auch die oberste Isolationsschicht 5.y, die direkt unter dem Padmetall 3 liegt, hinreichend dick ausgestaltet. Die Isolationsschicht 5.y weist vorzugsweise eine Dicke D1 auf, die zwischen ein und fünf Mal so dick ist wie die Dicke D2 der obersten Metallschicht 4.x, und zwischen 0,5 und drei Mal so dick ist wie die Dicke D3 des Padmetalls 3.

Die obersten beiden Metallschichten 4.x und 4.x-1 sind durch eine Isolationsschicht 5.y-1 voneinander getrennt. Die Vias 6 durchdringen diese Isolationsschicht 5.y-1 vertikal und verbinden die oberste Metallschicht 4.x mit der darunterliegenden Metallschicht 4.x-1 elektrisch. Insbesondere im Bereich unterhalb der Fläche F des Padmetalls 3 sind eine Vielzahl von Vias 6 zwischen den beiden Metallschichten 4.x und 4.x-1 angeordnet. Diese Ausgestaltungen bewirken einen hinreichenden Schutz des Transistors 2 vor auftretenden mechanischen Belastungen.

Die Figur 2 zeigt, in perspektivischer Darstellung, einen Ausschnitt aus der erfindungsgemäßen integrierten Halbleiter-

struktur im Bereich der obersten beiden Metallschichten direkt unterhalb der Fläche des Padmetalls. Sowohl die Leiterbahn 4.x.z der obersten Metallschicht, als auch die Leiterbahn 4.x-1.z der darunterliegenden Metallschicht weisen

5 Durchbrüche 7.x und 7.x-1 auf. Die Durchbrüche 7.x der Leiterbahn 4.x.z sind zu den darunterliegenden Durchbrüchen 7.x-1 der Leiterbahn 4.x-1.z versetzt angeordnet. Die Durchbrüche 7.x und 7.x-1 liegen also nicht direkt übereinander. Darüber hinaus sind die beiden Leiterbahnen 4.x.z und 4.x-1.z über
10 senkrecht verlaufende Vias 6 elektrisch miteinander verbunden. Um eine möglichst hohe Stabilität gegenüber Drücken zu gewährleisten, sind möglichst viele Vias 6, insbesondere im Bereich unterhalb des Padmetalls angeordnet.

15 Andere Anordnungen von Durchbrüchen 7.x und Vias 6 ergeben sich bei Anwendung der Kenntnisse und Fähigkeiten des Fachmanns.

Die Figur 3 zeigt eine Draufsicht der erfindungsgemäßen integrierten Halbleiterstruktur mit einem Padmetall 3 sowie einem angrenzenden Padmetall 3. Im Bereich unterhalb der Padmetalle 3 verlaufen vier Leiterbahnen 4.x.1 bis 4.x.4. Die
20 fünfte Leiterbahn 4.x.5 verläuft außerhalb des Bereiches der Padmetalle 3. Es sind deutlich die Abstände A zwischen den einzelnen Leiterbahnen 4.x.z und deren Breite B erkennbar.
25 Halbleiterelemente, wie Transistoren oder Dioden liegen ebenfalls unter der Fläche des Padmetalls 3, sind jedoch in der Figur 3 nicht zu erkennen.

30 Insgesamt wird durch die Erfindung erreicht, dass auch ohne kostspielige Prozessänderungen oder Prozesserweiterungen, eine geeignete Dämpfungs- und Stabilisierungsstruktur vorgestellt wird, die ermöglicht, jede Art von elektrischen Halbleiterelementen unterhalb der Fläche des Padmetalls anzuordnen, ohne eine Beschädigung dieser Halbleiterelemente bei
35 auftretenden Drücken, wie sie beim Bonden oder Testen entstehen, zu riskieren. Darüber hinaus kann nun der Bereich unter-

01.07.03

15

10

halb der Fläche des Padmetalls, beispielsweise für Stromversorgungsbahnen, genutzt werden.

Bezugszeichenliste

| | | |
|----|-------|--|
| | 1 | Substrat |
| 5 | 2 | Halbleiterelement, Transistor |
| | 3 | Padmetall |
| | 4.x | Metallschicht |
| | 4.x.z | Leiterbahn |
| | 5.y | Isolationsschicht |
| 10 | 6 | Via |
| | 7.x | Durchbruch |
| | 8 | Passivierung |
| 15 | D1 | Dicke der obersten Isolationsschicht 5.y |
| | D2 | Dicke der obersten Metallschicht 4.x |
| | D3 | Dicke des Padmetalls 3 |
| | A | Abstand zwischen zwei Leiterbahnen 4.x.z |
| | B | Breite einer Leiterbahn 4.x.z |
| 20 | F | Fläche des Padmetalls 3 |

Patentansprüche

1. Integrierte Halbleiterstruktur mit
 - einem Substrat (1),
 - 5 - mindestens einem auf dem Substrat (1) liegenden Halbleiterelement (2),
 - einem Padmetall (3) mit einer Fläche (F),
 - einer Vielzahl von Metallschichten (4.x), die zwischen dem Padmetall (3) und dem Substrat (1) liegen und
 - 10 - einer Vielzahl von Isolationsschichten (5.y), die die Metallschichten (4.x) voneinander trennen,
 - wobei das Padmetall (3) sich zumindest über einen Teil des mindestens einen Halbleiterelementes (2) erstreckt,dadurch gekennzeichnet, - 15 dass, unterhalb der Fläche (F) des Padmetalls (3), zumindest die obersten beiden Metallschichten (4.x, 4.x-1) eine Struktur aufweisen, die jeweils mindestens zwei nebeneinanderliegende Leiterbahnen (4.x.z, 4.x-1.z) enthalten.
-
- 20 2. Integrierte Halbleiterstruktur gemäß voranstehendem Anspruch 1,
dadurch gekennzeichnet,
dass die Anzahl z der Leiterbahnen (4.x.z) einer Metallschicht (4.x), unterhalb der Fläche (F) des Padmetalls (3), - 25 zwischen 2 und 6 liegt.
-
3. Integrierte Halbleiterstruktur gemäß einem der voranstehenden Ansprüche 1 bis 2,
dadurch gekennzeichnet, - 30 dass innerhalb einer Metallschicht (4.x) die Leiterbahnen (4.x.z) elektrisch voneinander isoliert sind.
-
4. Integrierte Halbleiterstruktur gemäß einem der voranstehenden Ansprüche 1 bis 3, - 35 dadurch gekennzeichnet,
dass innerhalb einer Metallschicht (4.x) die Leiterbahnen (4.x.z) elektrisch miteinander verbunden sind.

5. Integrierte Halbleiterstruktur gemäß einem der voranstehenden Ansprüche 1 bis 4,
dadurch gekennzeichnet,
5 dass innerhalb einer Metallschicht (4.x) die Leiterbahnen (4.x.z) eine Breite (B) und einen Abstand (A) zueinander aufweisen, wobei das Verhältnis zwischen der Breite (B) und dem Abstand (A) zwischen 3 und 20 liegt.
- 10 6. Integrierte gemäß voranstehendem Anspruch 5,
dadurch gekennzeichnet,
dass das Verhältnis zwischen der Breite (B) und dem Abstand (A) 10 ist.
- 15 7. Integrierte Halbleiterstruktur gemäß einem der voranstehenden Ansprüche 1 bis 6,
dadurch gekennzeichnet,
dass, zumindest unterhalb der Fläche (F) des Padmetalls (3),
eine Vielzahl von Vias (6) vorgesehen sind, die die Leiterbahnen (4.x.z) der obersten Metallschicht (4.x) mit den Leiterbahnen (4.x-1.z) der darunter liegenden Metallschicht (4.x-1) elektrisch verbinden, wobei die Vias (6) die Isolationsschicht (5.y-1) durchdringen.
- 20 8. Integrierte Halbleiterstruktur gemäß einem der voranstehenden Ansprüche 1 bis 7,
dadurch gekennzeichnet,
dass, zumindest unterhalb der Fläche (F) des Padmetalls (3),
die Leiterbahnen (4.x.z, 4.x-1.z) der obersten beiden Metallschichten (4.x, 4.x-1), eine Vielzahl von Durchbrüchen (7.x, 7.x-1) aufweisen.
- 25 9. Integrierte Halbleiterstruktur gemäß voranstehendem Anspruch 8,
dadurch gekennzeichnet,
35 dass, zumindest unterhalb der Fläche (F) des Padmetalls (3),
die Durchbrüche (7.x, 7.x-1) eine Gesamtfläche zwischen 5%

und 30% der Gesamtfläche der Leiterbahnen (4.x.z, 4.x-1.z) aufweisen.

10. Integrierte Halbleiterstruktur gemäß voranstehendem Anspruch 9,

dadurch gekennzeichnet,
dass die Durchbrüche (7.x, 7.x-1) eine Gesamtfläche von 20% der Gesamtfläche der Leiterbahnen (4.x.z, 4.x-1.z) aufweisen.

11. Integrierte Halbleiterstruktur gemäß einem der voranstehenden Ansprüche 8 bis 10,

dadurch gekennzeichnet,
dass die Leiterbahnen (4.x.z, 4.x-1.z) der obersten beiden Metallschichten (4.x, 4.x-1) derart zueinander angeordnet sind, dass die Durchbrüche (7.x) der obersten Leiterbahnen (4.x.z) versetzt zu den Durchbrüchen (7.x-1) der darunter liegenden Leiterbahnen (4.x-1.z) liegen.

12. Integrierte Halbleiterstruktur gemäß einem der voranstehenden Ansprüche 8 bis 11,

dadurch gekennzeichnet,
dass die Leiterbahnen (4.x.z) der obersten Metallschicht (4.x) ungefähr deckungsgleich über den Leiterbahnen (4.x-1.z) der darunter liegenden Metallschicht (4.x-1) liegen.

13. Integrierte Halbleiterstruktur gemäß einem der voranstehenden Ansprüche 8 bis 12,

dadurch gekennzeichnet,
dass die Leiterbahnen (4.x.z) der obersten Metallschicht (4.x) versetzt zu den Leiterbahnen (4.x-1.z) der darunter liegenden Metallschicht (4.x-1) liegen.

14. Integrierte Halbleiterstruktur gemäß einem der voranstehenden Ansprüche 1 bis 13,

dadurch gekennzeichnet,
dass die Metallschichten (4.x), zumindest größtenteils, aus einem hinreichend harten Metall bestehen.

15. Integrierte Halbleiterstruktur gemäß voranstehendem Anspruch 14,

dadurch gekennzeichnet,

5 dass das Metall Aluminium, Kupfer, Wolfram, Molybdän, Silber, Gold, Platin oder Legierungen hiervon enthält.

16. Integrierte Halbleiterstruktur gemäß einem der voranstehenden Ansprüche 1 bis 15,

10 dadurch gekennzeichnet,

dass die Fläche (F) des Padmetalls (3) einen Bereich überdeckt, der, innerhalb einer Metallschicht (4.x), zumindest aus 50% Metall besteht.

15 17. Integrierte Halbleiterstruktur gemäß voranstehendem Anspruch 16,

dadurch gekennzeichnet,

dass das Metall gleichmäßig unterhalb der Fläche (F) des Padmetalls (3) verteilt ist.

20

18. Integrierte Halbleiterstruktur gemäß einem der voranstehenden Ansprüche 1 bis 17,

dadurch gekennzeichnet,

25 dass eine oberste Isolationsschicht (5.y) vorgesehen ist, die zwischen dem Padmetall (3) und der obersten Metallschicht (4.x) liegt, wobei die oberste Isolationsschicht (5.y) eine erste Dicke (D1) und die oberste Metallschicht (4.x) eine zweite Dicke (D2) aufweist und das Verhältnis zwischen den beiden Dicken (D1, D2) zwischen 1 und 5 liegt..

30

19. Integrierte Halbleiterstruktur gemäß einem der voranstehenden Ansprüche 1 bis 18,

dadurch gekennzeichnet,

35 dass eine oberste Isolationsschicht (5.y) vorgesehen ist, die zwischen dem Padmetall (3) und der obersten Metallschicht (4.x) liegt, wobei die oberste Isolationsschicht (5.y) eine Dicke (D1) und das Padmetall (3) eine weitere Dicke (D3) auf-

weist und das Verhältnis zwischen den beiden Dicken (D_1 , D_3) zwischen 0,5 und 3 liegt.

20. Integrierte Halbleiterstruktur gemäß einem der voranste-
henden Ansprüche 1 bis 19,
dadurch gekennzeichnet,
dass die Anzahl x der Metallschichten ($4 \cdot x$) zwischen 3 und 11
liegt.

Fig. 1

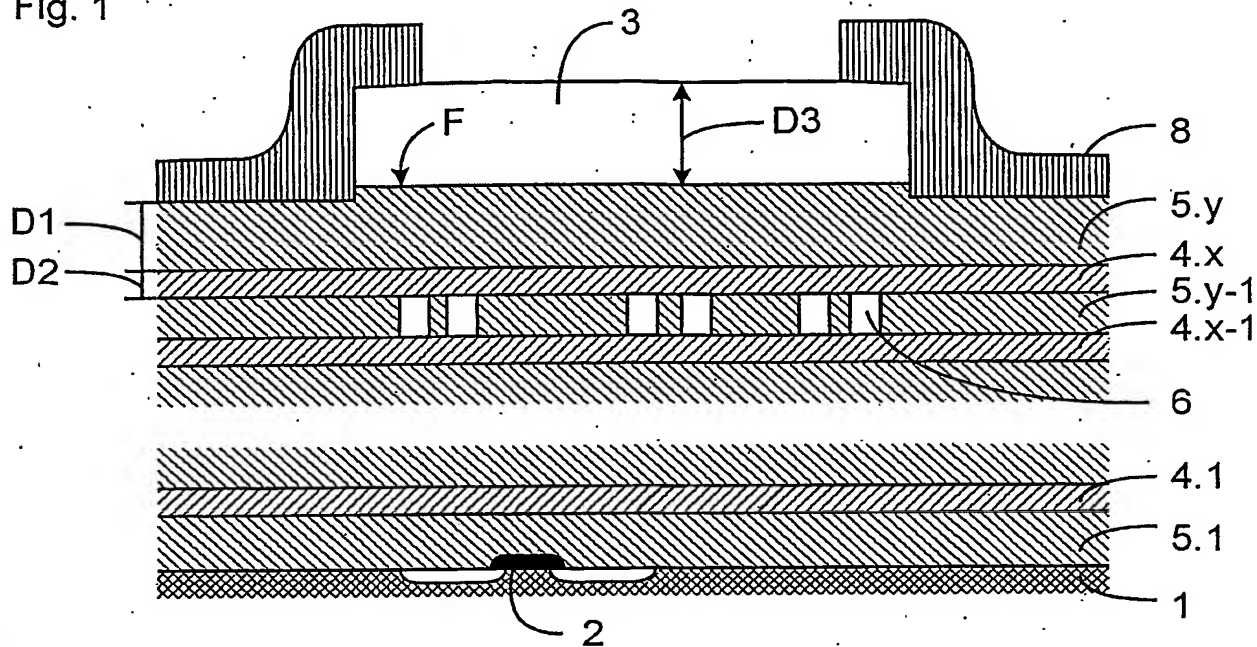


Fig. 2

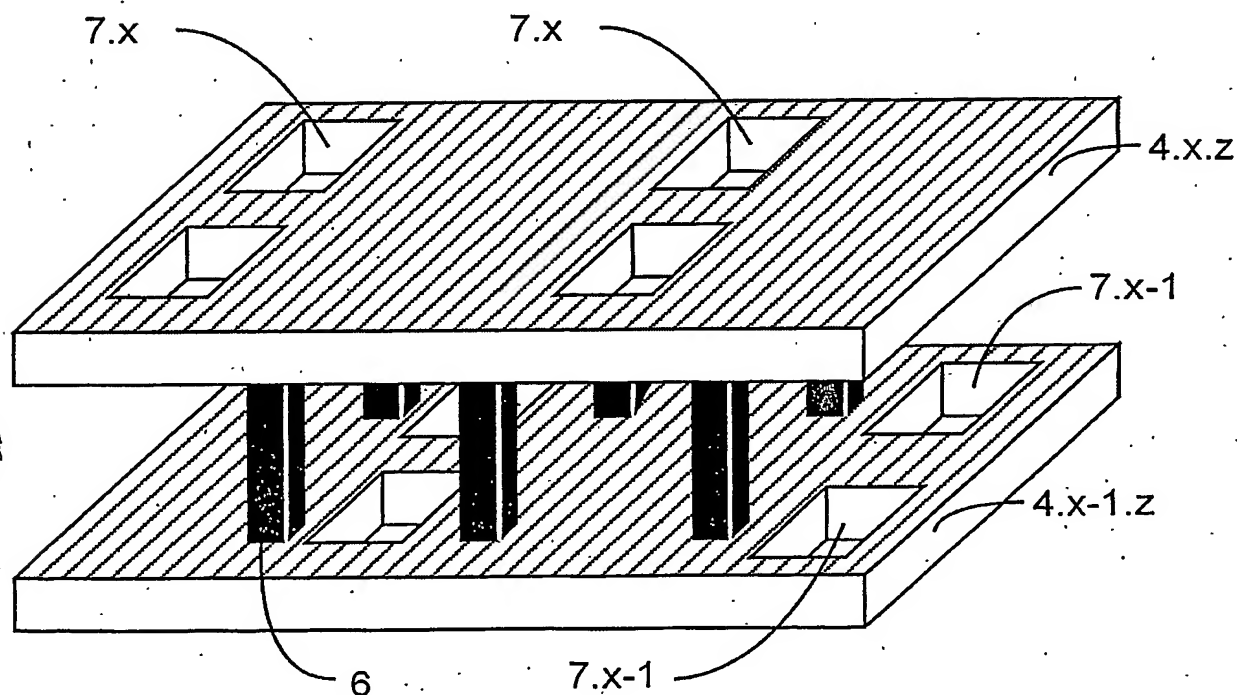
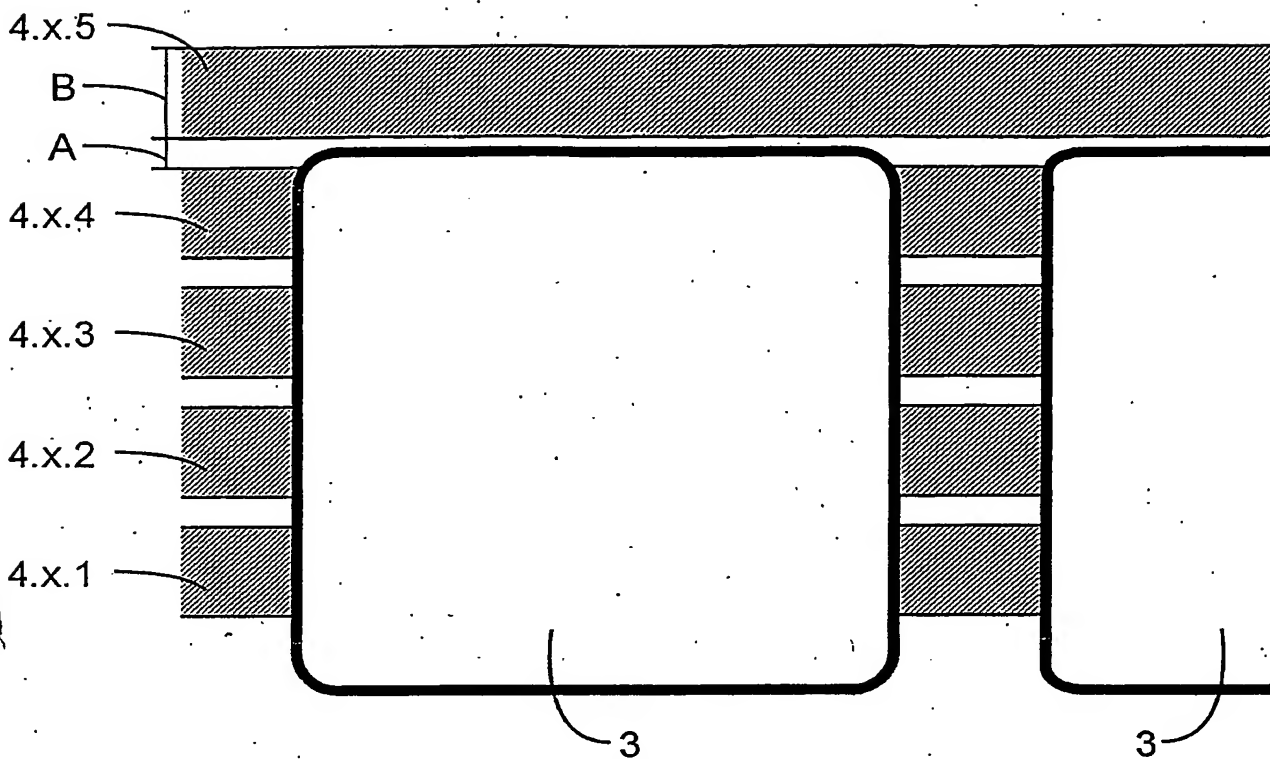


Fig. 3



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.